

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274121

(43) 公開日 平成11年 (1999) 10月8日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H 0 1 L 21/304

6 2 2

H 0 1 L 21/304 6 2 2 X

21/312

21/312 C

21/768

21/90 S

審査請求 未請求 請求項の数15 O L (全 11 頁)

(21) 出願番号

特願平10-75937

(71) 出願人 000005223

富士通株式会社

(22) 出願日

平成10年 (1998) 3月24日

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 池田 雅延

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 工藤 寛

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

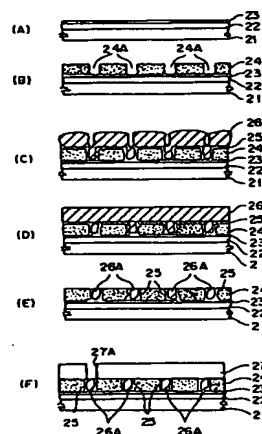
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 誘電率の低い層間絶縁膜を備え、配線パターンの精度の高い層間絶縁膜を備えた半導体装置を提供する。

【解決手段】 層間絶縁膜を、Siを含有するレジスト膜を硬化させることにより形成する。

(A)~(F)は、本発明の第1実施形態による半導体装置の製造工程を示す図(その1)



## 【特許請求の範囲】

【請求項1】 基板と、  
前記基板上に形成された層間絶縁膜と、  
前記層間絶縁膜中に形成された配線溝と、  
前記配線溝を埋める導体パターンとを有し、  
前記層間絶縁膜は、硬化した感光性Si含有レジストよりなることを特徴とする半導体装置。

【請求項2】 前記感光性Si含有レジストは、Si-O結合を含むことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記感光性Si含有レジストは、Si-O結合に、官能基と、C、H、OHおよびベンゼン環よりなる群から選択される元素とが結合したシロキサンポリマーよりなることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記感光性Si含有レジストは、Siに、官能基とベンゼン環とが結合したポリシランポリマーよりなることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記層間絶縁膜上に、前記層間絶縁膜に接するように、感光性Si含有レジストよりなる別の層間絶縁膜を形成したことを特徴とする請求項1~4のうち、いずれか一項記載の半導体装置。

【請求項6】 前記別の層間絶縁膜中には、前記導体パターンにコンタクトするようにコンタクトホールが形成され、前記コンタクトホールは導体プラグで充填されていることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記導体パターンはCuよりなることを特徴とする請求項1~6のうち、いずれか一項記載の半導体装置。

【請求項8】 多層配線構造を有する半導体装置の製造方法において、  
基板上に、感光性Si含有レジスト膜を形成する工程と、  
前記感光性Si含有レジスト膜を露光・現像して、凹部を有する層間絶縁膜を形成する工程と、  
前記層間絶縁膜上に導体層を、前記凹部を埋めるように堆積する工程と、  
前記導体層を、化学機械研磨により、前記層間絶縁膜上から除去する工程とを含み、  
前記化学機械研磨工程は、前記層間絶縁膜を研磨ストッパとして使って実行されることを特徴とする半導体装置の製造方法。

【請求項9】 前記感光性Si含有レジスト膜は、Si-O結合を含むことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記感光性Si含有レジスト膜は、Si-O結合に、官能基と、C、H、OHおよびベンゼン環よりなる群から選択される元素とが結合したシロキサンポリマーよりなることを特徴とする請求項8または9

記載の半導体装置の製造方法。

【請求項11】 前記感光性Si含有レジスト膜は、Siに、官能基とベンゼン環とが結合したポリシランポリマーよりなることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】 前記導体パターンはCuよりなることを特徴とする請求項8~11のうち、いずれか一項記載の半導体装置の製造方法。

10 【請求項13】 さらに、前記硬化した感光性Si含有レジスト膜を、加熱処理する工程を含むことを特徴とする請求項8~12のうち、いずれか一項記載の半導体装置の製造方法。

【請求項14】 多層配線構造を有する半導体装置の製造方法において、

前記多層配線構造中の層間絶縁膜を、感光性Si含有レジスト膜を硬化させることにより形成する工程を含むことを特徴とする半導体装置の製造方法。

20 【請求項15】 半導体装置の製造方法において、絶縁膜を、感光性Si含有レジスト膜を硬化させることにより形成する工程を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、特に多層配線構造を有する半導体装置およびその製造方法に関する。従来より、半導体装置を微細化することにより、スケーリング則に沿った動作速度の高速化が図られている。一方、最近の半導体集積回路装置では、個々の半導体装置間を配線するのに一般に多層配線構造が使用されるが、かかる多層配線構造では、半導体装置が非常に微細化された場合、多層配線構造中の配線パターンが近接しすぎ、配線パターン間の寄生容量による配線遅延の問題が生じる。

30 【0002】そこで、従来より、前記多層配線構造中における配線遅延の問題を解決すべく、多層配線構造中で層間絶縁膜を構成する絶縁膜に、従来より使われているSiO<sub>2</sub>系の絶縁膜の代わりに炭化水素系あるいはフルオロカーボン系の有機絶縁膜を使い、また配線パターンに、従来より使われているAlの代わりにCuを使うことが研究されている。かかる有機絶縁膜は誘電率が2.3~2.5であるが、この値は従来のSiO<sub>2</sub>層間絶縁膜より40~50%も低い。また、配線パターンにCuを使う場合、従来より使われていたドライエッチング工程によるパターニングが非常に困難であるため、Cu配線パターンは、層間絶縁膜中に形成した配線溝を埋めるようにCu層をスパッタリングあるいは電解めっきにより形成し、化学機械研磨により、前記Cu層を、前記配線溝を埋める配線パターンを残して層間絶縁膜上から研

50 【0003】

【従来の技術】図1(A)、(B)は、従来の有機絶縁膜を層間絶縁膜に使った多層配線構造を有する半導体装置の製造工程を示す図である。図1(A)を参照するに、半導体装置を構成する拡散領域等(図示せず)が形成されている基板11上には、炭化水素系あるいはフルオロカーボン系の有機絶縁材料がスピンコーティングにより形成され、さらにそれをパターニングすることにより、前記基板11上に、配線パターンを収容する溝を含む層間絶縁膜12を形成する。さらに、前記層間絶縁膜12上にTiN膜をスパッタリングにより略一様な厚さに形成し、さらに前記TiN膜上にスパッタリングを行うことにより、前記層間絶縁膜12上にCu層14(図2(A)参照)を、前記層間絶縁膜12中の溝を埋めるように形成する。さらに、前記Cu層14を化学機械研磨(CMP)法により研磨することにより、前記層間絶縁膜12上に残留するCu層が除去され、前記層間絶縁膜12中の溝がCuパターン14Aにより埋められた、いわゆるダマシン構造を有する多層配線構造が、前記基板11上に得られる(図2(B))。ただし、前記有機層間絶縁膜12上には研磨ストッパ膜12Aが形成されている。また、前記溝には、Cuパターン14Aと層間絶縁膜12との間に、TiN等よりなる高融点金属化合物膜14BがCuの熱拡散防止のため、形成されている(図2(C))。

【0004】さらに、前記Cuパターン14Aを覆うように、前記有機層間絶縁膜12、より正確には前記研磨ストッパ膜12A上にSiO<sub>2</sub>等よりなる第2の層間絶縁膜15が形成され、さらに前記第2の層間絶縁膜上には、前記Cuパターン14Aに接続するコンタクトホールに対応した開口部16Aを形成されたレジスト膜16が形成される(図1(A))。さらに、前記レジスト膜16をマスクに前記第2の層間絶縁膜15をエッチングすることにより、前記層間絶縁膜15中に、前記Cuパターン14Aを露出するコンタクトホール15Aが、前記マスク開口部16Aに対応して形成される(図1(B))。

【0005】

【発明が解決しようとする課題】しかし、このような有機層間絶縁膜12を使う高速半導体集積回路装置では、動作速度を向上させるため微細化が非常に進んでおり、これに伴い、集積回路中の半導体素子要素間の配線パターンを形成する前記Cuパターン14Aも、パターンの繰り返しピッチが非常に小さくなる。このため特に、0.18μm以下の設計ルールの中半導体装置では、レジストパターン16のわずかな位置ずれがあっても、図1(C)に示すようにコンタクトホール15Aと対応するCuパターン14Aとの接続が不良になってしまう。また、レジストパターン16を使って前記有機層間絶縁膜12をドライエッチングする際に、図1(B)あるいは(C)に示すように、形成されるコンタクトホールある

いは配線溝の大きさが、特にコンタクトホール底部において広がってしまい、望ましくない短絡等の配線不良を引き起こすおそれがある。かかるコンタクトホールあるいは配線溝の寸法が広がってしまう問題は、前記レジストパターン16の露光時の、位置ずれに対する許容マージンをさらに厳しくする。

【0006】さらに、図2(A)に示すように、前記Cu層14を化学機械研磨する際に、前記有機層間絶縁膜12上の研磨ストッパ膜12Aを省略すると、図2(B)に示すように、前記有機層間絶縁膜12は化学機械研磨に対して耐性が不十分なため、Cuパターン14Aまでも研磨されてしまい、形成されるCuパターン14Aの寸法が所望の設計値からずれてしまう。

【0007】これに対し、図2(C)、あるいは図1(A)に示すように、従来はかかる有機層間絶縁膜12を使う場合、前記層間絶縁膜12上に前記Cu層の化学機械研磨に対して耐性を有する、典型的にはSiO<sub>2</sub>、SiNあるいはSiONよりなる研磨ストッパ膜12Aを設けているが、SiO<sub>2</sub>膜は誘電率が前記有機層間絶縁膜12よりも大きく、このため電気力線の集中を招き、その結果、図2(C)の多層配線構造では、低誘電率の有機層間絶縁膜12を使っているにもかかわらず、配線間寄生容量が実質的に減少しない問題が生じていた。

【0008】そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。本発明のより具体的な課題は、低誘電率有機層間絶縁膜を使った多層配線構造を有する半導体装置の製造において、前記有機層間絶縁膜中に直接にリソグラフィーにより配線溝を形成できる技術を提供することにある。

【0009】本発明の他の課題は、低誘電率有機層間絶縁膜を使った多層配線構造を有する半導体装置の製造において、ダマシン法により前記有機層間絶縁膜中に配線パターンを形成する際に、従来は前記有機層間絶縁膜上に必要であった高誘電率の研磨ストッパ膜を省略できる技術を提供することにある。

【0010】

【課題を解決するための手段】本発明は、上記の課題を、請求項1に記載したように、基板と、前記基板上に形成された層間絶縁膜と、前記層間絶縁膜中に形成された配線溝と、前記配線溝を埋める導体パターンとを有し、前記層間絶縁膜は、硬化した感光性Si含有レジストよりなることを特徴とする半導体装置により、または請求項2に記載したように、前記感光性Si含有レジストは、Si-O結合を含むことを特徴とする請求項1記載の半導体装置により、または請求項3に記載したように、前記感光性Si含有レジストは、Si-O結合に、官能基と、C、H、OHおよびベンゼン環よりなる群から選択される元素とが結合したシロキサンポリマーより

なることを特徴とする請求項1または2記載の半導体装置により、または請求項4に記載したように、前記感光性Si含有レジストは、Siに、官能基とベンゼン環とが結合したポリシランポリマーよりなることを特徴とする請求項1記載の半導体装置により、または請求項5に記載したように、前記層間絶縁膜上に、前記層間絶縁膜に接するように、感光性Si含有レジストよりなる別の層間絶縁膜を形成したことを特徴とする請求項1~4のうち、いずれか一項記載の半導体装置により、または請求項6に記載したように、前記別の層間絶縁膜中には、前記導体パターンにコンタクトするようにコンタクトホールが形成され、前記コンタクトホールは導体プラグで充填されていることを特徴とする請求項5記載の半導体装置により、または請求項7に記載したように、前記導体パターンはCuよりなることを特徴とする請求項1~6のうち、いずれか一項記載の半導体装置により、または請求項8に記載したように、多層配線構造を有する半導体装置の製造方法において、基板上に、感光性Si含有レジスト膜を形成する工程と、前記感光性Si含有レジスト膜を露光・現像して、凹部を有する層間絶縁膜を形成する工程と、前記層間絶縁膜上に導体層を、前記凹部を埋めるように堆積する工程と、前記導体層を、化学機械研磨により、前記層間絶縁膜上から除去する工程とを含み、前記化学機械研磨工程は、前記層間絶縁膜を研磨ストップパとして使って実行されることを特徴とする半導体装置の製造方法により、または請求項9に記載したように、前記感光性Si含有レジスト膜は、Si-O結合を含むことを特徴とする請求項8記載の半導体装置の製造方法により、または請求項10に記載したように、前記感光性Si含有レジスト膜は、Si-O結合に、官能基と、C, H, OHおよびベンゼン環よりなる群から選択される元素とが結合したシロキサンポリマーよりなることを特徴とする請求項8または9記載の半導体装置の製造方法により、または請求項11に記載したように、前記感光性Si含有レジスト膜は、Siに、官能基とベンゼン環とが結合したポリシランポリマーよりなることを特徴とする請求項8記載の半導体装置の製造方法により、または請求項12に記載したように、前記導体パターンはCuよりなることを特徴とする請求項8~11のうち、いずれか一項記載の半導体装置の製造方法により、または請求項13に記載したように、さらに、前記硬化した感光性Si含有レジスト膜を、加熱処理する工程を含むことを特徴とする請求項8~12のうち、いずれか一項記載の半導体装置の製造方法により、または請求項14に記載したように、多層配線構造を有する半導体装置の製造方法において、前記多層配線構造中の層間絶縁膜を、感光性Si含有レジスト膜を硬化させることにより形成する工程を含むことを特徴とする半導体装置の製造方法により、または請求項15に記載したように、半導体装置の製造方法において、絶縁膜を、感光性

Si含有レジスト膜を硬化させることにより形成する工程を含むことを特徴とする半導体装置の製造方法により、解決する。

【作用】Siを含有する感光性レジスト自体は公知である。例えば特開平4-181254号公報を参照。

【0011】一方、本発明の発明者は、かかるSiを含有する感光性レジストについて誘電率を測定したところ、通常のパラズマCVD-SiO<sub>2</sub>が4.0~4.5程度の値を有するのに対し、3.0あるいはそれ以下の非常に低い値を有することを見出した。また、本発明の発明者は、かかるSiを含有する感光性レジストを硬化させて得られた絶縁膜に対して、様々な導体膜を研磨する研磨条件で化学機械研磨を行い、研磨耐性を調べた。その結果、Al<sub>2</sub>O<sub>3</sub>スラリーを使ったCuの化学機械研磨に最適な条件でSiを含有する感光性レジストを化学機械研磨した場合、研磨速度が約2nm/min程度にしかならないことを発見した。ただし、この実験では、前記特開平4-181254号公報記載のレジストを使った。

【0012】これに対し、パラズマCVD法により堆積したSiO<sub>2</sub>膜を同じCuの化学機械研磨に最適な研磨条件で研磨した場合、約12nm/minの、すなわち5倍以上の研磨速度が観察された。同様に、パラズマCVD法により堆積したSiN膜の場合、同じ研磨条件での研磨速度は、前記SiO<sub>2</sub>膜よりもさらに大きい約35nm/minであった。また、同様な傾向は、化学機械研磨の研磨条件をAlの研磨に最適な条件に設定した場合にも、またWの研磨に最適な条件に設定した場合にも見られる。

【0013】これは、Siを含有する感光性レジストが分子構造中にSi-O結合を含み、化学的および機械的に安定なためであると考えられる。例えばSi-O結合に官能基と、C, H, OHおよびベンゼン環よりなる群から選択される元素とが結合したシロキサンポリマー、あるいはSiに官能基とベンゼン環とが結合したポリシランポリマーをレジストに使った場合、前記レジストを硬化させることにより、誘電率が低く、また金属膜の化学機械研磨に対して優れた研磨耐性を有する有機絶縁膜が得られると考えられる。

【0014】

【発明の実施の形態】 [第1実施例] 図3(A)~

(F) および図4(G)~(J)は、本発明の第1実施例による、半導体装置の製造方法を示す。図3(A)を参照するに、FET等の活性半導体素子(図示せず)が形成されたSi基板21上には、パラズマCVD法により、SiO<sub>2</sub>膜22が約300nmの厚さに堆積され、さらに前記パラズマCVD-SiO<sub>2</sub>膜22上にSiN膜23が、同じくパラズマCVD法により、約50nmの厚さに形成される。

【0015】次に、図3(B)の工程において、前記プ

ラズマCVD-SiN膜23上に、Siを含有するレジスト膜24が、スパインコーティングにより、典型的には400nmの厚さに形成され、さらにこれを露光・現像することにより、下層配線パターンに対応した配線溝24Aが、前記レジスト膜24中に形成される。また、前記露光および現像工程により、前記レジスト膜24は硬化し、低誘電率の有機層間絶縁膜を形成する。前記レジスト膜としては、先に説明した特開平4-181254号公報に記載のものを使うことができる。

【0016】次に、図3(C)の工程において前記図3(B)の構造上に、TiN等の高融点金属化合物膜25が、典型的には50nmの厚さにスパッタリングにより形成され、さらに前記高融点金属膜25上にはCu層26がスパッタリングにより、約800nmの厚さに形成される。さらに、図3(D)の工程において、図3(C)の構造を、H<sub>2</sub>雰囲気中、350°Cで約5分間熱処理し、Cu層26をリフローさせる。かかるリフローの結果、前記Cu層26は前記溝24Aを完全に充填する。

【0017】さらに、図3(E)の工程で、図3(D)の構造に対して、Al<sub>2</sub>O<sub>3</sub>をスラリとする化学機械研磨を行い、前記層間絶縁膜24上のCu層26およびTiN膜25を研磨・除去する。その際、先に説明したように、前記層間絶縁膜24はSiを含有するレジストを硬化させて形成したものであるため、分子構造中にSi-O結合を含み、化学機械研磨に対して効果的な研磨ストッパとして作用するものと考えられる。すなわち、図3(E)の化学機械研磨工程は、前記層間絶縁膜24の表面が露出した時点で自動的に停止する。

【0018】次に、図3(F)の工程で、図3(E)の構造上に、第2のSi含有レジスト膜27を、前記層間絶縁膜24の表面を覆うように約600nmの厚さにスパインコーティングにより形成し、さらに露光・現像することにより、コンタクトホール27Aを形成する。かかる露光および現像の結果、前記Si含有レジスト膜27は、低誘電率の有機層間絶縁膜に変化する。さらに、図3(E)の工程では、前記有機層間絶縁膜27をN<sub>2</sub>雰囲気中、典型的には400°Cで約1時間熱処理し、硬化を完了させる。この熱処理工程では、前記層間絶縁膜24の硬化もさらに進行する。

【0019】次に、図4(G)の工程において、図3(F)の構造上にTiN等の高融点金属化合物膜28を約50nmの厚さにスパッタリングにより形成し、さらにその上に、Cu層29をスパッタリングにより、約1000nmの厚さに形成する。さらに、図4(H)の工程で、図4(G)の構造をH<sub>2</sub>雰囲気中、典型的には350°Cで約5分間熱処理し、前記Cu層29をリフローさせる。リフローの結果、前記Cu層29は前記コンタクト層27Aを完全に充填する。

【0020】さらに、図4(I)の工程において、図4

(H)の構造に、Cu層を研磨する条件で化学機械研磨を行い、前記層間絶縁膜27の表面上から前記Cu層29およびTiN膜28を研磨・除去する。その際、図3(A)の工程と同様に、層間絶縁膜27は効果的な研磨ストッパとして作用し、Cu層の研磨は前記層間絶縁膜27の表面が露出した時点で自動的に停止する。かかる選択的な化学機械研磨の結果、前記層間絶縁膜27中には、前記コンタクトホール27Aに対応して導体プラグ29Aが形成される。

【0021】さらに、図4(J)の工程で、層間絶縁膜27上に前記図3(A)～(E)の工程を繰り返すことにより、別の層間絶縁膜24'と導体パターン26A'とよりなる上部配線構造が形成される。本実施例では、前記配線溝24Aあるいはコンタクトホール27Aをレジスト膜中に直接に形成するため、従来のようにレジスト膜をパターニングした後、パターニングされたレジスト膜をマスクに層間絶縁膜をエッチングする必要がなくなり、その結果、かかるエッチングに伴うパターンの狂いの問題が解消する。さらに、かかる有機レジスト膜を層間絶縁膜に使うことにより、形成される多層配線構造の寄生容量に起因する信号遅延の問題が解消する。また、Siを含むレジスト膜はCuを始めとする導体層の化学機械研磨に対して耐性を有し、効果的な研磨ストッパとして作用する。このため、別にSiO<sub>2</sub>等の誘電率の大きい材料により研磨ストッパを形成する必要がなくなる。

【第2実施例】図5(A)～(F)および図6(G)～(J)は、本発明の第2実施例による、半導体装置の製造方法を示す。

【0022】図5(A)を参照するに、FET等の活性半導体素子(図示せず)が形成されたSi基板31上には、プラズマCVD法により、SiO<sub>2</sub>膜32が約300nmの厚さに堆積され、さらに前記プラズマCVD-SiO<sub>2</sub>膜32上にSiN膜33が、同じくプラズマCVD法により、約50nmの厚さに形成される。次に、図5(B)の工程において、前記プラズマCVD-SiN膜33上に、先の実施例におけるレジスト膜24と同様なSiを含有するレジスト膜34が、スパインコーティングにより、典型的には400nmの厚さに形成され、さらにこれを露光・現像することにより、下層配線パターンに対応した配線溝34Aが、前記レジスト膜34中に形成される。また、前記露光および現像工程により、前記レジスト膜34は硬化し、低誘電率の有機層間絶縁膜を形成する。

【0023】次に、図5(C)の工程において前記図5(B)の構造上に、TiN等の高融点金属化合物膜35が、典型的には50nmの厚さにスパッタリングにより形成され、さらに前記高融点金属膜35上にはCu層26がスパッタリングにより、約800nmの厚さに形成される。さらに、図5(D)の工程において、図5

(C)の構造を、 $H_2$  雰囲気中、 $350^\circ C$ で約20分間熱処理し、Cu層36をリフローさせる。かかるリフローの結果、前記Cu層36は前記溝34Aを完全に充填する。

【0024】さらに、図5(E)の工程で、図5(D)の構造に対して、 $Al_2O_3$ をスラリとする化学機械研磨を行い、前記層間絶縁膜34上のCu層36およびTiN膜35を研磨・除去する。その際、先に説明したように、前記層間絶縁膜34はSiを含有するレジストを硬化させて形成したものであるため、分子構造中にSi-O-C結合を含み、化学機械研磨に対して効果的な研磨ストッパとして作用する。すなわち、図5(E)の化学機械研磨工程は、前記層間絶縁膜24の表面が露出した時点で自動的に停止する。

【0025】次に、図5(F)の工程で、図5(E)の構造上に、前記層間絶縁膜34を覆うように、炭化水素系の有機絶縁材料、例えばダウケミカル社製のSILK(商品名)、あるいは芳香族系の有機絶縁材料、例えばアライドシグナル社製のFLARE2.0を使って有機層間絶縁膜37をスピコーティングにより、約600nmの厚さに形成する。

【0026】さらに、本実施例では前記有機層間絶縁膜37を $N_2$  雰囲気中、 $400^\circ C$ で約1時間熱処理し、硬化させた後、図6(G)の工程で、前記有機層間絶縁膜37上に、前記レジスト膜34と同様なSiを含有するレジスト膜38をスピコーティングにより、典型的には400nmの厚さに形成し、さらにこれを露光・現像して、上部配線パターン用の溝38Aおよびコンタクトホール用の開口部38Bを形成する。かかる露光および現像の結果、前記レジスト膜38は硬化し、別の層間絶縁膜となる。

【0027】さらに、図6(H)の工程で、前記別の層間絶縁膜38をマスクに、前記有機層間絶縁膜37を $O_2$  プラズマ中でプラズマエッチングし、前記層間絶縁膜37中に、前記配線溝38Aに対応した溝37Aを、また前記開口部38Bに対応したコンタクトホール37Bを形成する。かかるプラズマエッチングの際、前記Si含有レジスト膜を硬化させて形成した層間絶縁膜38は実質的にエッチングされず、エッチングマスクとして機能する。

【0028】図6(H)において、前記配線溝37Aは下層配線パターン36Aと平行に延在しているように示してあるが、これは単に図示の都合上であり、上層配線溝37Aは下層配線パターン36Aと交差するように延在してもよい。さらに、図6(I)の工程で、図6

(H)の構造上に、TiN膜39およびCu層40をスパッタリングにより、それぞれ50nmおよび1700nmの厚さに形成し、さらに $H_2$  雰囲気中、 $350^\circ C$ で約5分間熱処理することにより、前記Cu層40をリフローさせる。リフローの結果、前記Cu層40は図

6(I)に示すように、前記配線溝37Aおよびコンタクトホール37Bを充填する。

【0029】さらに、図6(J)の工程で、図6(I)のCu膜40およびTiN膜39を化学機械研磨により研磨し、前記層間絶縁膜38上から除去する。その結果、前記配線溝37Aを埋める上層配線パターン40Aおよび前記コンタクトホール37Bを埋める導体プラグ40Bが得られる。図示の例では、上層配線パターン40Aが下層配線パターン36Aにコンタクトしているが、これは必ずしも必要ではなく、上層配線パターン40Aは下層配線パターン36Aとは異なった位置に形成してもよい。

【第3実施例】図7(A)～(C)、図8(D)～

(G)および図9(H)～(L)は、本発明の第3実施例による半導体装置の製造工程を示す。

【0030】図7(A)を参照するに、FET等の活性素子が形成されたSi基板51上には $SiO_2$ 膜52がプラズマCVD法により、約300nmの厚さに形成され、さらに前記 $SiO_2$ 膜52上にはSiN膜53が、同じくプラズマCVD法により、約50nmの厚さに堆積される。次に、図7(B)の工程で、図7(A)の構造上に、前記SiN膜53を覆うように、先の実施例の有機絶縁膜37に対応する炭化水素系あるいは芳香族系の有機絶縁膜54が、スピコーティングにより、典型的には400nmの厚さに形成され、さらにこれを $N_2$  雰囲気中、約 $400^\circ C$ で1時間熱処理することにより硬化させ、層間絶縁膜を形成する。

【0031】次に、図7(C)の工程で、図7(B)の構造上にSiを含有するレジスト膜55を約50nmの厚さにスピコーティングにより形成し、さらにこれを露光・現像して、下層配線パターンに対応する溝55Aを形成する。前記溝55Aを形成した後、前記レジスト膜55は、 $N_2$  雰囲気中、約 $400^\circ C$ で30分間の熱処理により硬化され、絶縁膜パターンを形成する。

【0032】次に、図8(D)の工程で、前記有機層間絶縁膜54が、 $O_2$  プラズマ中でプラズマエッチングによりエッチングされ、前記溝55Aに対応して、前記有機層間絶縁膜54中に下層配線溝54Aが形成される。その際、前記Si含有レジスト膜を硬化させて形成した絶縁膜パターン55はエッチングマスクとして作用する。

【0033】次に、図8(E)の工程で、図8(D)の構造上にTiN膜56およびCu層57がスパッタリングにより、それぞれ50nmおよび800nmの厚さに形成され、さらに図8(F)の工程で、 $H_2$  雰囲気中、約 $350^\circ C$ で約5分間熱処理することにより、前記Cu層57をリフローさせる。かかるリフローの結果、前記Cu層57は前記下層配線溝54Aを充填する。

【0034】次に、図8(G)の工程で、図8(F)のCu層57およびその下のTiN膜56が化学機械研磨

により研磨され、前記絶縁膜パターン55上に位置する部分が除去される。その際、前記Siを含むレジスト膜から形成された絶縁膜パターン55は、研磨ストッパとして作用する。これは、先にも説明したように、前記絶縁膜パターン55がSi-O結合を含んでおり、金属膜を研磨するのに最適な化学機械研磨に対して耐性を示すためであると考えられる。

【0035】次に、図9(H)の工程で、前記図8(G)の構造上に、Siを含むレジスト膜58を、スピンコーティングにより、典型的には600nmの厚さに形成し、さらに露光・現像を行うことにより、レジスト膜58を硬化させると同時にコンタクトホール58Aを形成する。前記露光および現像工程の後、レジスト膜58はN<sub>2</sub>雰囲気中、約400°Cで1時間程度熱処理し、硬化を進行させる。その結果、レジスト膜58は低誘電率有機層間絶縁膜に変換される。

【0036】次に、図9(I)の工程で、図9(H)の構造上にTiN膜59およびCu層60をスパッタリングにより、それぞれ50nmおよび1000nmの厚さに形成し、さらに図9(J)の工程で、図9(I)の構造をH<sub>2</sub>雰囲気中、約350°Cで約5分間熱処理することにより、Cu層60をリフローさせる。かかるリフローの結果、前記Cu層60は前記コンタクトホール58Aを充填する。

【0037】さらに、図9(K)の工程で、図9(J)のCu層60およびその下のTiN膜59を化学機械研磨により研磨し、前記層間絶縁膜58の表面から除去する。その際にも、前記レジスト膜より形成された層間絶縁膜58は効果的な研磨ストッパとして作用する。さらに、図9(L)の工程で、図7(B)~図8(G)の工程を繰り返し、図9(K)の構造上に上層配線構造を形成する。

【0038】本実施例では、配線層を保持する層間絶縁膜として、さらに誘電率の低い炭化水素系あるいは芳香族系の有機絶縁膜を使えるため、多層配線構造の寄生容量をさらに減少させることができる。その際、研磨ストッパとして使われるSi含有レジスト膜を硬化させた絶縁膜は、従来のSiO<sub>2</sub>膜よりもはるかに小さい誘電率を有するため、電気力線が集中したとしても、層間絶縁膜全体としての誘電率は従来の構造におけるよりもはるかに低くなる。

【0039】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形および変更が可能である。

【0040】

【発明の効果】請求項1~19記載の本発明の特徴によれば、多層配線構造を有する半導体装置において、Siを含むレジスト膜を使うことにより、誘電率が低

く、金属膜の化学機械研磨に対して研磨ストッパとして作用する層間絶縁膜が得られる。また、かかる層間絶縁膜は露光・現像することにより、別のレジストマスクを使うことなく直接にパターンニングできるため、従来のフォトリソグラフィにおいて生じていた、レジストマスクを使った層間絶縁膜のエッチングの際のパターンの変形の問題が解決される。このため、本発明による層間絶縁膜は、特にいわゆるディープサブハーフミクロンデバイスの製造に有効である。

#### 10 【図面の簡単な説明】

【図1】(A)~(C)は、従来の多層配線構造の形成工程およびその問題点を説明する図(その1)である。

【図2】(A)~(C)は、従来の多層配線構造の形成工程およびその問題点を説明する図(その2)である。

【図3】(A)~(F)は、本発明の第1実施例による半導体装置の製造工程を示す図(その1)である。

【図4】(G)~(J)は、本発明の第1実施例による半導体装置の製造工程を示す図(その2)である。

【図5】(A)~(F)は、本発明の第2実施例による半導体装置の製造工程を示す図(その1)である。

【図6】(G)~(J)は、本発明の第2実施例による半導体装置の製造工程を示す図(その2)である。

【図7】(A)~(C)は、本発明の第3実施例による半導体装置の製造工程を示す図(その1)である。

【図8】(D)~(G)は、本発明の第3実施例による半導体装置の製造工程を示す図(その2)である。

【図9】(H)~(L)は、本発明の第3実施例による半導体装置の製造工程を示す図(その3)である。

【符号の説明】

30 11, 21, 31, 51 基板

12, 15 層間絶縁膜

12A SiO<sub>2</sub> 研磨ストッパ

14, 26, 29, 36, 40, 57, 60 Cu層

14A, 26A, 26A', 29A, 36A, 40A,

40B, 57A, 60ACuパターン

14B, 25, 25', 28, 35, 39, 56, 59  
TiN膜

15A 溝

16 レジスト膜

40 16A レジスト開口部

22, 32, 52 CVD-SiO<sub>2</sub> 膜

23, 33, 53 CVD-SiN膜

24, 24', 27, 34, 38, 55, 58 Si含有レジスト膜

24A, 34A, 37A, 37B, 38A, 38B, 54A 配線溝

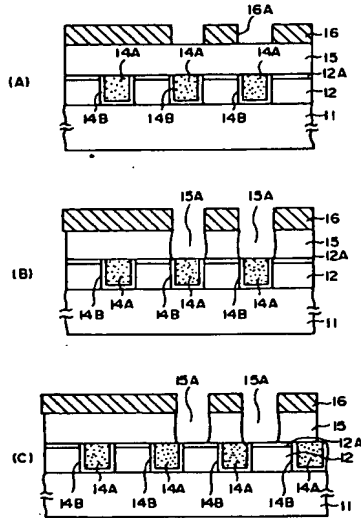
27A, 58A コンタクトホール

37, 54 有機層間絶縁膜

55A 開口部

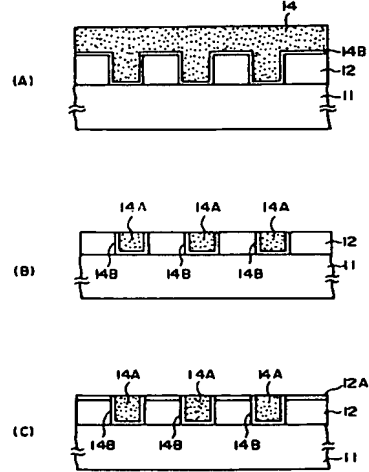
【図1】

(A)～(C)は、従来の多層配線構造の形成工程およびその問題点を説明する図（その1）



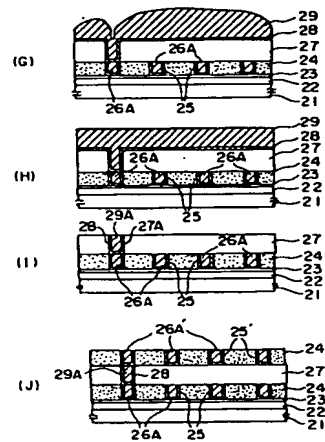
【図2】

(A)～(C)は、従来の多層配線構造の形成工程およびその問題点を説明する図（その2）



【図4】

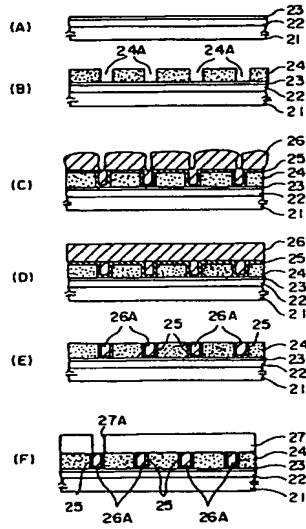
(G)～(J)は、本発明の第1実施例による半導体装置の製造工程を示す図（その2）





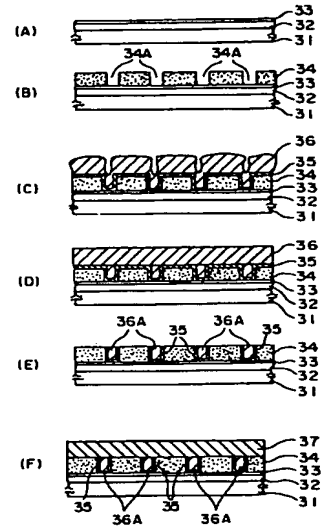
【図3】

(A)～(F)は、本発明の第1実施例による  
半導体装置の製造工程を示す図（その1）



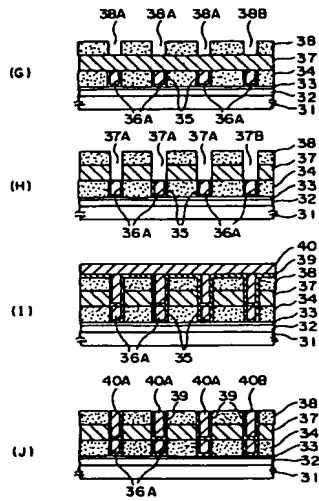
【図5】

(A)～(F)は、本発明の第2実施例による  
半導体装置の製造工程を示す図（その1）



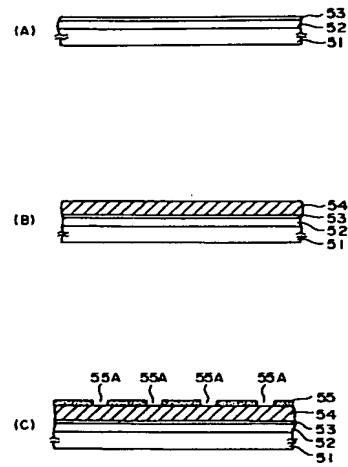
【図6】

(G)～(J)は、本発明の第2実施例による  
半導体装置の製造工程を示す図(その2)



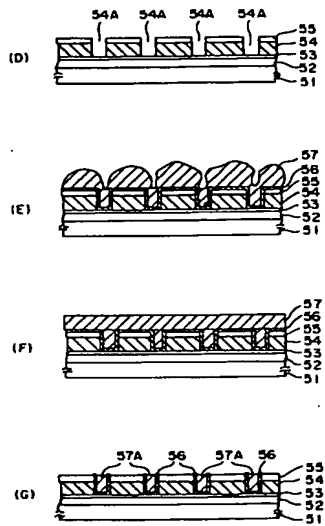
【図7】

(A)～(C)は、本発明の第3実施例による  
半導体装置の製造工程を示す図(その1)



【図8】

(D)～(G)は、本発明の第3実施例による  
半導体装置の製造工程を示す図(その2)



【図9】

(H)～(L)は、本発明の第3実施例による  
半導体装置の製造工程を示す図(その3)

